

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 3 月 1 7 日
Date of Application:

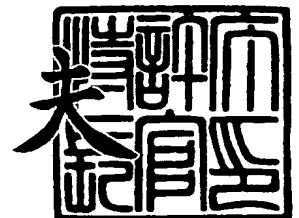
出 願 番 号 特 願 2 0 0 3 - 0 7 2 3 3 7
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 0 7 2 3 3 7]

出 願 人 セイコーエプソン株式会社
Applicant(s):

2 0 0 3 年 1 2 月 1 1 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 J0098329

【提出日】 平成15年 3月17日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 25/00

【発明の名称】 半導体装置の製造方法、半導体装置、回路基板および電子機器

【請求項の数】 13

【発明者】

【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

【氏名】 宮沢 郁也

【特許出願人】

【識別番号】 000002369

【氏名又は名称】 セイコーエプソン株式会社

【代理人】

【識別番号】 100089037

【弁理士】

【氏名又は名称】 渡邊 隆

【代理人】

【識別番号】 100064908

【弁理士】

【氏名又は名称】 志賀 正武

【選任した代理人】

【識別番号】 100110364

【弁理士】

【氏名又は名称】 実広 信哉

【手数料の表示】

【予納台帳番号】 008707

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9910485

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法、半導体装置、回路基板および電子機器

【特許請求の範囲】

【請求項 1】 半導体基板を貫通する電極を有する半導体装置の製造方法であって、

集積回路が形成された半導体基板の能動面から前記半導体基板の内部にかけて凹部を形成する工程と、

前記凹部の内面に第1の絶縁層を形成する工程と、

前記第1の絶縁層の内側に導電材料を充填して、電極を形成する工程と、

前記半導体基板の裏面をエッチングして、前記第1の絶縁層の先端部を露出させる工程と、

前記半導体基板の裏面に第2の絶縁層を形成する工程と、

前記電極の先端部における前記第1の絶縁層および前記第2の絶縁層を除去して、前記電極の先端部を露出させる工程と、

を有することを特徴とする半導体装置の製造方法。

【請求項 2】 前記半導体基板の裏面をエッチングする前に、

前記半導体基板の補強部材を、前記半導体基板の能動面に、硬化性接着剤を介して装着する工程を有することを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 3】 前記電極を形成する前に、前記導電材料が前記半導体基板に拡散するのを防止するバリア層を、前記第1の絶縁層の内側に形成する工程と、

前記電極の先端部における前記第1の絶縁層および前記第2の絶縁層の除去とともに、前記電極の先端部における前記バリア層を除去して、前記電極の先端部を露出させる工程と、

を有することを特徴とする請求項 1 または 2 に記載の半導体装置の製造方法。

【請求項 4】 前記第2の絶縁層を形成する工程では、前記第2の絶縁層を構成する酸化ケイ素または窒化ケイ素の被膜を、CVD法によって形成することを特徴とする請求項 1 ないし 3 のいずれかに記載の半導体装置の製造方法。

【請求項 5】 前記第2の絶縁層を形成する工程では、前記第2の絶縁層の

原材料である液状の S O G またはポリイミドを、スピンコート法によって塗布することを特徴とする請求項 1 ないし 3 のいずれかに記載の半導体装置の製造方法。

【請求項 6】 請求項 1 ないし 5 のいずれかに記載の半導体装置の製造方法を使用して製造されたことを特徴とする半導体装置。

【請求項 7】 集積回路が形成された半導体基板と、
前記半導体基板の能動面から前記半導体基板の裏面にかけて形成された貫通孔の内部に、第 1 の絶縁層を介して形成された電極と、
前記半導体基板の裏面であって、少なくとも前記電極の周辺に形成された第 2 の絶縁層と、
を有することを特徴とする半導体装置。

【請求項 8】 前記半導体基板の裏側における前記電極の先端面は、前記第 2 の絶縁層の表面から突出形成されていることを特徴とする請求項 7 に記載の半導体装置。

【請求項 9】 前記半導体基板の裏側における前記電極の先端面は、前記第 2 の絶縁層の表面とほぼ同一面上に形成されていることを特徴とする請求項 7 に記載の半導体装置。

【請求項 1 0】 前記第 2 の絶縁層は、酸化ケイ素、窒化ケイ素またはポリイミドからなることを特徴とする請求項 7 ないし 9 のいずれかに記載の半導体装置。

【請求項 1 1】 請求項 6 ないし 1 0 のいずれかに記載の半導体装置が複数積層され、上下に隣接する前記半導体装置の前記電極がハンダまたは蝟材を介して電氣的に接続されていることを特徴とする半導体装置。

【請求項 1 2】 請求項 1 1 に記載の半導体装置が実装されていることを特徴とする回路基板。

【請求項 1 3】 請求項 1 1 に記載の半導体装置を備えたことを特徴とする電子機器。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、半導体装置の製造方法、半導体装置、回路基板および電子機器に関するものであり、特に、3次元実装に好適な半導体チップおよびその製造方法に関するものである。

【0002】**【従来の技術】**

携帯電話機、ノート型パーソナルコンピュータ、PDA (Personal data assistance) などの携帯型の電子機器には、小型化および軽量化が要求されている。これにともなって、上述した電子機器における半導体チップの実装スペースも極めて制限され、半導体チップの高密度実装が課題となっている。そこで、3次元実装技術が案出されている。3次元実装技術は、半導体チップ同士を積層し、各半導体チップ間を配線接続することで、半導体チップの高密度実装を図る技術である。(たとえば、特許文献1参照)

【0003】

図13は積層された半導体チップの側面断面図であり、図14は図13のA部における拡大図である。図13に示すように、3次元実装技術に用いる各半導体チップ202には、複数の電極234が形成されている。電極234は、半導体チップ202の能動面210aに形成された電極パッド(図示省略)から、半導体チップ202の裏面210bにかけて、半導体チップ202を貫通するように形成されている。この電極234のうち、半導体チップ202の貫通孔の内部に充填されている部分をプラグ部といい、半導体チップ202の表面に突出した部分をポスト部という。なお、信号線とグランドとの短絡を防止するため、図14に示すように、半導体チップにおける貫通孔232の内面には、絶縁膜222が形成されている。

【0004】

一方、図14に示すように、電極234のポスト部235の上端面には、ハンダ層240が形成されている。そして、下層の半導体チップ202bにおける電極234のポスト部235の上面に、上層の半導体チップ202aにおける電極234のプラグ部236の下面が配置されるように、各半導体チップ202a,

202bを積層配置する。ここで、リフローによりハンダ層240を溶解させつつ、各半導体チップ202a, 202bを相互に加圧する。これにより、ハンダ層240と電極234との接触部にハンダ合金が形成されて、両者が機械的および電氣的に接合される。このようにして、各半導体チップ202a, 202bが配線接続される。

【0005】

【特許文献1】

特開2002-25948号公報

【0006】

【発明が解決しようとする課題】

しかしながら、リフローによって溶解したハンダ層240は、上層の半導体チップ202aにおける電極234のプラグ部36の外周に沿って上方に変形し、上層の半導体チップ202aの裏面210bに当接するおそれがある。なお、ハンダ層240には信号線が接続され、半導体チップ202aの裏面210bにはグランドが接続されているので、これにより信号線とグランドとの短絡が発生するという問題がある。

本発明は、上記課題を解決するためになされたものであり、信号線とグランドとの短絡を防止することが可能な、半導体装置の製造方法、半導体装置、回路基板および電子機器の提供を目的とする。

【0007】

【課題を解決するための手段】

上記課題を解決するため、本発明に係る半導体装置の製造方法は、集積回路が形成された半導体基板の能動面から前記半導体基板の内部にかけて凹部を形成する工程と、前記凹部の内面に第1の絶縁層を形成する工程と、前記第1の絶縁層の内側に導電材料を充填して、電極を形成する工程と、前記半導体基板の裏面をエッチングして、前記第1の絶縁層の先端部を露出させる工程と、前記半導体基板の裏面に第2の絶縁層を形成する工程と、前記電極の先端部における前記第1の絶縁層および前記第2の絶縁層を除去して、前記電極の先端部を露出させる工程と、を有することを特徴とする。

【0008】

本発明に係る半導体装置の製造方法によれば、半導体基板の裏面に電極の先端部を露出させつつ、その周辺部に第2の絶縁膜を形成することができる。これにより、半導体装置を積層する際に電極間の接合部材が変形しても、かかる接合部材と半導体基板の裏面との短絡を防止することが可能となる。したがって、信号線とグランドとの短絡を防止することができる。

【0009】

また、前記半導体基板の裏面をエッチングする前に、前記半導体基板の補強部材を、前記半導体基板の能動面に、硬化性接着剤を介して装着する工程を有するのが望ましい。補強部材を装着することにより、半導体基板の裏面を加工する際に、基板に割れが発生するのを防止することができる。また、硬化性接着剤を介して補強部材を装着することにより、半導体基板の裏面における凹凸を吸収しつつ、強固に補強部材を装着することができる。

【0010】

また、前記電極を形成する前に、前記導電材料が前記半導体基板に拡散するのを防止するバリア層を、前記第1の絶縁層の内側に形成する工程と、前記電極の先端部における前記第1の絶縁層および前記第2の絶縁層の除去とともに、前記電極の先端部における前記バリア層を除去して、前記電極の先端部を露出させる工程と、を有するのが望ましい。この構成によれば、前記第1の絶縁層および前記第2の絶縁層の除去と同時に、前記バリア層を除去するので、製造工程を簡略化することができる。

【0011】

なお、前記第2の絶縁層を形成する工程では、前記第2の絶縁層を構成する酸化ケイ素または窒化ケイ素の被膜を、CVD法によって形成するのが好適である。また、前記第2の絶縁層を形成する工程では、前記第2の絶縁層の原材料である液状のSOGまたはポリイミドを、スピンコート法によって塗布するのが好適である。

【0012】

一方、本発明に係る半導体装置は、上述した半導体装置の製造方法を使用して

製造されたことを特徴とする。これにより、上記効果をともなった半導体装置を提供することができる。

【0013】

また、本発明に係る他の半導体装置は、集積回路が形成された半導体基板と、前記半導体基板の能動面から前記半導体基板の裏面にかけて形成された貫通孔の内部に、第1の絶縁層を介して形成された電極と、前記半導体基板の裏面であって、少なくとも前記電極の周辺に形成された第2の絶縁層と、を有することを特徴とする。この構成によれば、複数の半導体装置を積層する際に電極間の接合部材が変形しても、かかる接合部材と半導体基板の裏面との短絡を防止することが可能となる。したがって、信号線とグランドとの短絡を防止することができる。

【0014】

また、前記半導体基板の裏側における前記電極の先端面は、前記第2の絶縁層の表面から突出形成されていてもよい。この構成によれば、複数の半導体装置を積層する際に、半導体装置相互の間隔を確保できるので、各半導体装置の隙間にアンダーフィル等を容易に充填することができる。一方、前記半導体基板の裏側における前記電極の先端面は、前記第2の絶縁層の表面とほぼ同一面上に形成されていてもよい。この構成によれば、複数の半導体装置を積層する際に、隣接する半導体装置に応力集中が発生することがなくなり、半導体装置の破損を防止しつつ3次元実装することができる。

また、前記第2の絶縁層は、酸化ケイ素、窒化ケイ素またはポリイミドからなるのが好適である。

【0015】

一方、本発明に係る他の半導体装置は、上述した半導体装置が複数積層され、上下に隣接する前記半導体装置の前記電極がハンダまたは蝋材を介して電氣的に接続されていることを特徴とする。この構成によれば、複数の半導体装置を積層する際にハンダまたは蝋材が変形しても、ハンダまたは蝋材と半導体基板の裏面との短絡を防止することが可能となる。したがって、信号線とグランドとの短絡を防止することができる。

【0016】

一方、本発明に係る回路基板は、上述した半導体装置が実装されていることを特徴とする。これにより、上記効果をともなった回路基板を提供することができる。

一方、本発明に係る電子機器は、上述した半導体装置を備えたことを特徴とする。これにより、上記効果をともなった電子機器を提供することができる。

【0017】

【発明の実施の形態】

以下、本発明の実施形態につき、図面を参照して説明する。なお、以下の説明に用いる各図面では、各部材を認識可能な大きさとするため、各部材の縮尺を適宜変更している。

【0018】

[第1実施形態]

最初に、本発明に係る半導体装置の第1実施形態である半導体チップにつき、図1を用いて説明する。図1は本実施形態に係る半導体チップの電極部分の側面断面図である。本実施形態に係る半導体チップ2は、集積回路が形成された半導体基板10と、半導体基板10の能動面10aから半導体基板10の裏面10bにかけて形成された貫通孔H4の内部に、第1の絶縁層である絶縁膜22を介して形成された電極34と、半導体基板10の裏面10bに形成された第2の絶縁層である絶縁膜26とを有するものである。

【0019】

[半導体装置]

図1に示す半導体チップ2では、Si（ケイ素）等からなる半導体基板10の表面10aに、トランジスタ、メモリ素子、その他の電子素子からなる集積回路（図示省略）が形成されている。その半導体基板10の能動面10aには、SiO₂（酸化ケイ素）等からなる絶縁膜12が形成されている。さらに、その絶縁膜12の表面には、硼磷珪酸ガラス（以下、BPSGという）等からなる層間絶縁膜14が形成されている。

【0020】

その層間絶縁膜14の表面の所定部分には、電極パッド16が形成されている

。この電極パッド16は、Ti（チタン）等からなる第1層16a、TiN（窒化チタン）等からなる第2層16b、AlCu（アルミニウム／銅）等からなる第3層16c、およびTiN等からなる第4層（キャップ層）16dを、順に積層して形成されている。なお、電極パッド16の構成材料は、電極パッド16に必要とされる電気的特性、物理的特性、および化学的特性に応じて適宜変更してもよい。すなわち、集積回路の電極として一般に用いられるAlのみを用いて電極パッド16を形成してもよく、電気抵抗の低いCuのみを用いて電極パッド16を形成してもよい。

【0021】

この電極パッド16は、平面視において半導体チップ2の周辺部に並んで形成されている。なお、電極パッド16は、半導体チップ2の周辺部に並んで形成される場合と、中央部に並んで形成される場合とがある。周辺部に形成される場合には、半導体チップ2の少なくとも1辺（多くの場合、2辺又は4辺）に沿って並んで形成される。そして、各電極パッド16は、上述した集積回路と、図示しない箇所で電氣的に接続されている。なお、電極パッド16の下方には集積回路が形成されていない点に注意されたい。

【0022】

その電極パッド16を覆うように、層間絶縁膜14の表面にパッシベーション膜18が形成されている。パッシベーション膜18は、SiO₂（酸化ケイ素）やSiN（窒化ケイ素）、ポリイミド樹脂等からなり、例えば1μm程度の厚さに形成されている。

【0023】

そして、電極パッド16の中央部には、パッシベーション膜18の開口部H1および電極パッド16の開口部H2が形成されている。なお、開口部H2の直径は、開口部H1の径よりも小さく、例えば60μm程度に設定されている。また、電極パッド16における第4層16dは、開口部H1と同径に開口されている。一方、パッシベーション膜18の表面ならびに開口部H1および開口部H2の内面には、SiO₂（酸化ケイ素）等からなる絶縁膜20が形成されている。

【0024】

そして、電極パッド16の中央部に、絶縁膜20、層間絶縁膜14、絶縁膜12および半導体基板10を貫通する孔部H3が形成されている。孔部H3の直径は、開口部H2の直径より小さく、例えば30 μ m程度に形成されている。なお、孔部H3は、平面視円形に限られず、平面視矩形に形成してもよい。そして、開口部H1、開口部H2および孔部H3により、半導体基板の能動面から裏面に貫通する貫通孔H4が形成される。

【0025】

その貫通孔H4の内面および絶縁膜20の表面に、第1の絶縁層である絶縁膜22が形成されている。この絶縁膜22は、電流リークの発生、酸素および水分等による浸食等を防止するものであり、1 μ m程度の厚さに形成されている。また、絶縁膜22は、半導体基板10の裏面10bから突出形成されている。一方、電極パッド16の第3層16cの表面に形成された絶縁膜20および絶縁膜22は、開口部H2の周縁に沿って一部除去されている。

【0026】

これによって露出した電極パッド16の第3層16cの表面と、残された絶縁膜22の表面には、下地膜24が形成されている。この下地膜24は、絶縁膜22等の表面に形成されたバリア層（バリアメタル）と、バリア層の表面に形成されたシード層（シード電極）とによって構成されている。バリア層は、後述する電極34の構成材料が基板10に拡散するのを防止するものであり、TiW（チタニウムタングステン）やTiN（チタンナイトライド）、TaN（タンタルナイトライド）等からなる。一方、シード層は、後述する電極34をメッキ処理によって形成する際の電極になるものであり、CuやAu、Ag等からなる。

【0027】

そして、この下地膜24の内側に、電極34が形成されている。この電極34は、CuやW等の電気抵抗の低い導電材料からなる。なお、poly-Si（ポリシリコン）にBやP等の不純物をドーピングした導電材料により電極34を形成すれば、基板10への拡散を防止する必要がなくなるので、上述したバリア層が不要となる。そして、貫通孔H4に電極34を形成することにより、電極34のプラグ部36が形成される。なお、プラグ部36と電極パッド16とは、図1中の

P部において下地膜24を介して電氣的に接続されている。また、プラグ部36の下端面は外部に露出している。一方、パッシベーション膜18の上方であって開口部H1の周縁部にも電極34を延設することにより、電極34のポスト部35が形成される。このポスト部35は、平面視円形に限られず、平面視矩形に形成してもよい。

【0028】

一方、半導体基板10の裏面10bには、第2の絶縁層である絶縁膜26が形成されている。絶縁膜26は、SiO₂（酸化ケイ素）やSiN（窒化ケイ素）などの無機物や、PI（ポリイミド）などの有機物からなる。絶縁膜26は、電極34のプラグ部36の下端面を除いて、半導体基板10の裏面10bの全面に形成されている。なお、半導体基板10の裏面10bにおける電極34の先端部の周辺のみに、選択的に絶縁膜26を形成してもよい。

【0029】

なお第1実施形態では、基板10の裏側における電極34のプラグ部36の先端面が、絶縁膜26の表面から突出形成されている。プラグ部36の突出高さは、たとえば10μm～20μm程度とされている。これにより、複数の半導体チップを積層する際に、半導体チップ相互の間隔を確保できるので、各半導体チップの隙間にアンダーフィル等を容易に充填することができる。なお、プラグ部36の突出高さを調整することにより、積層された半導体チップ相互の間隔を調整することができる。また、積層後にアンダーフィル等を充填する代わりに、積層前に半導体チップ2の裏面10bに熱硬化性樹脂等を塗布する場合でも、突出したプラグ部36を避けて熱硬化性樹脂等を塗布することができるので、半導体チップの配線接続を確実に行うことができる。

【0030】

一方、電極34のポスト部35の上面には、ハンダ層40が形成されている。このハンダ層40は、一般的なPbSn合金等で形成してもよいが、AgSn合金等の鉛フリーのハンダ材料で形成するのが環境面等から好ましい。なお、軟蠟材であるハンダ層40の代わりに、SnAg合金等からなる硬蠟材（熔融金属）層や、Agペースト等からなる金属ペースト層を形成してもよい。この硬蠟材層

や金属ペースト層も、鉛フリーの材料で形成するのが環境面等から好ましい。本実施形態に係る半導体チップ2は、以上のように構成されている。

【0031】

[製造方法]

次に、本実施形態に係る半導体チップの製造方法につき、図2～図6を用いて説明する。図2～図6は、本実施形態に係る半導体チップの製造方法の説明図である。なお以下には、半導体基板における多数の半導体チップ形成領域に対して同時に処理を行う場合を例にして説明するが、個々の半導体チップに対して以下に示す処理を行ってもよい。

【0032】

まず、図2(a)に示すように、半導体基板10の表面に、絶縁膜12および層間絶縁膜14を形成する。そして、層間絶縁膜14の表面に電極パッド16を形成する。具体的には、まず層間絶縁膜14上の全面に、電極パッド16の第1層から第4層の被膜を順次形成する。なお、各被膜の形成はスパッタリング等によって行う。次に、その表面にレジスト等を塗布する。さらに、フォトリソグラフィ技術により、レジストに電極パッド16の最終形状をパターンニングする。そして、パターンニングされたレジストをマスクとしてエッチングを行い、電極パッドを所定形状（例えば、矩形形状）に形成する。その後、電極パッド16の表面にパッシベーション膜18を形成する。

【0033】

次に、パッシベーション膜18に対して開口部H1を形成する。その具体的な手順は、まずパッシベーション膜の全面にレジスト等を塗布する。レジストは、フォトレジストや電子線レジスト、X線レジスト等の何れであってもよく、ポジ型またはネガ型の何れであってもよい。また、レジストの塗布は、スピコート法、ディッピング法、スプレーコート法等によって行う。なお、レジストを塗布した後にプリベークを行う。そして、開口部H1のパターンが形成されたマスクを用いてレジストに露光処理を行い、さらに現像処理を行うことによってレジストに開口部H1の形状をパターンニングする。なお、レジストのパターンニング後にポストベークを行う。

【0034】

そして、パターンニングされたレジストをマスクとして、パッシベーション膜18をエッチングする。なお本実施形態では、パッシベーション膜18とともに電極パッド16の第4層もエッチングする。エッチングには、ウェットエッチングを採用することもできるが、ドライエッチングを採用することが好ましい。ドライエッチングは、反応性イオンエッチング（RIE：Reactive Ion Etching）であってもよい。なお、パッシベーション膜18に開口部H1を形成した後で、パッシベーション膜18上のレジストを剥離液によって剥離する。以上により、図2（a）に示すように、パッシベーション膜18に開口部H1が形成されて、電極パッド16が露出する。

【0035】

次に、図2（b）に示すように、電極パッド16に対して開口部H2を形成する。その具体的な手順は、まず露出した電極パッド16およびパッシベーション膜18の全面にレジスト等を塗布して、開口部H2の形状をパターンニングする。次に、パターンニングされたレジストをマスクとして、電極パッド16をドライエッチングする。なお、ドライエッチングにはRIEを用いることができる。その後、レジストを剥離すれば、図2（b）に示すように、電極パッド16に開口部H2が形成される。

【0036】

次に、図2（c）に示すように、基板10の上方の全面に絶縁膜20を形成する。この絶縁膜20は、ドライエッチングにより基板10に孔部H3を穿孔する際に、マスクとして機能するものである。なお、絶縁膜20の膜厚は、基板10に穿孔する孔部H3の深さにより、例えば2 μ m程度に設定する。本実施形態では、絶縁膜20としてSiO₂を用いたが、Siとの選択比が取ればフォトリソグレイを用いてもよい。また、絶縁膜20には、PECVD（Plasma Enhanced Chemical Vapor Deposition）を用いて形成した正珪酸四エチル（Tetra Ethyl Ortho Silicate：Si（OC₂H₅）₄：以下、TEOSという）すなわちPE-TEOS、またはオゾンを用いた熱CVDであるO₃-TEOS、またはCVDを用いて形成した酸化シリコンなどを用いることができる。

【0037】

次に、絶縁膜20に孔部H3の形状をパターンニングする。その具体的な手順は、まず絶縁膜20の全面にレジスト等を塗布して、孔部H3の形状をパターンニングする。次に、パターンニングされたレジストをマスクとして、絶縁膜20、層間絶縁膜14および絶縁膜12をドライエッチングする。その後、レジストを剥離すれば、絶縁膜20等に孔部H3の形状がパターンニングされて、基板10が露出する。

【0038】

次に、高速ドライエッチングにより、基板10に孔部H3を穿孔する。なお、ドライエッチングとしてRIEやICP (Inductively Coupled Plasma) を用いることができる。その際、上述したように絶縁膜20 (SiO₂) をマスクとして用いるが、絶縁膜20の代わりにレジストをマスクとして用いてもよい。なお、孔部H3の深さは、最終的に形成する半導体チップの厚みに応じて適宜設定される。すなわち、半導体チップを最終的な厚さまでエッチングした後に、孔部H3の内部に形成した電極の先端部が基板10の裏面に露出し得るように、孔部H3の深さを設定する。以上により、図2(c)に示すように、基板10に孔部H3が形成される。そして、開口部H1、開口部H2および孔部H3により、基板10の能動面から内部にかけて凹部H0が形成される。

【0039】

次に、図3(a)に示すように、凹部H0の内面および絶縁膜20の表面に、第1の絶縁層である絶縁膜22を形成する。この絶縁膜22は、例えばPE-TEOS又はO₃-TEOSなどからなり、例えばプラズマTEOSなどにより、表面膜厚が1 μm程度となるように形成する。

【0040】

次に、絶縁膜22および絶縁膜20に異方性エッチングを施して、電極パッド16の一部を露出させる。なお本実施形態では、開口部H2の周辺に沿って電極パッド16の表面の一部を露出させる。その具体的な手順は、まず絶縁膜22の全面にレジスト等を塗布して、露出させる部分をパターンニングする。次に、パターンニングされたレジストをマスクとして、絶縁膜22および絶縁膜20を異方性

エッチングする。この異方性エッチングには、RIE等のドライエッチングを用いることが好適である。以上により、図3(a)に示す状態となる。

【0041】

次に、図3(b)に示すように、露出させた電極パッド16の表面と、残された絶縁膜22の表面に、下地膜24を形成する。下地膜24として、まずバリヤ層を形成し、その上にシード層を形成する。バリヤ層およびシード層は、例えば真空蒸着、スパッタリング、イオンプレーティング等のPVD(Physical Vapor Deposition)法や、CVD法、IMP(イオンメタルプラズマ)法、無電解メッキ法などを用いて形成する。

【0042】

次に、図4(a)に示すように、電極34を形成する。その具体的な手順は、まず基板10の上方の全面にレジスト32を塗布する。レジスト32として、メッキ用液体レジストまたはドライフィルムなどを採用することができる。なお、半導体装置で一般的に設けられるA1電極をエッチングする際に用いられるレジストまたは絶縁性を有する樹脂レジストを用いることもできるが、後述の工程で用いるメッキ液およびエッチング液に対して耐性を持つことが前提である。

【0043】

レジスト32の塗布は、スピコート法やディッピング法、スプレーコート法などによって行う。ここで、レジスト32の厚さは、形成すべき電極34のポスト部35の高さにハンダ層40の厚さを加えたものと同程度に設定する。なお、レジスト32を塗布した後にプリベークを行う。

【0044】

次に、形成すべき電極34のポスト部35の平面形状をレジストにパターンニングする。具体的には、所定のパターンが形成されたマスクを用いて露光処理および現像処理を行うことにより、レジスト32をパターンニングする。ここで、ポスト部35の平面形状が矩形であれば、レジスト32に矩形形状の開口部をパターンニングする。開口部の大きさは、半導体チップにおける電極34のピッチなどに応じて設定するが、例えば120 μ m四方または80 μ m四方の大きさに形成する。なお、パターンニング後にレジスト32の倒れが生じないように、開口部の大

きさを設定する。

【0045】

なお以上には、電極34のポスト部35を取り囲むようにレジスト32を形成する方法について説明した。しかしながら、必ずしもポスト部35の全周を取り囲むようにレジスト32を形成しなければならないという訳ではない。例えば、図4(a)の紙面の左右方向にのみ隣接して電極34が形成される場合には、同紙面の奥行き方向にはレジスト32を形成しなくてもよい。このように、レジスト32はポスト部35の外形形状の少なくとも一部に沿って形成される。

【0046】

なお以上には、フォトリソグラフィ技術を用いてレジスト32を形成する方法について説明した。しかしながら、この方法でレジスト32を形成すると、レジストを全面に塗布する際にその一部が孔部H3内に入り込んで、現像処理を行っても孔部H3内に残渣として残るおそれがある。そこで、例えばドライフィルムを用いることにより、またスクリーン印刷等の印刷法を用いることにより、パターンニングされた状態でレジスト32を形成するのが好ましい。また、インクジェット装置等の液滴吐出装置を用いて、レジストの液滴をレジスト32の形成位置のみに吐出することにより、パターンニングされた状態でレジスト32を形成してもよい。これにより、孔部H3内にレジストが入り込むことなく、レジスト32を形成することができる。

【0047】

次に、このレジスト32をマスクとして電極材料を凹部H0に充填し、電極34を形成する。電極材料の充填は、メッキ処理やCVD法等によって行う。メッキ処理には、例えば電気化学プレーティング(ECP)法を用いる。なお、メッキ処理における電極として、下地膜24を構成するシード層を用いる。また、メッキ装置としてカップ式メッキ装置を用いる。カップ式メッキ装置は、カップ形状の容器からメッキ液を噴出させてメッキすることを特徴とする装置である。これにより、凹部H0の内部に電極材料が充填されて、プラグ部36が形成される。また、レジスト32に形成された開口部にも電極材料が充填されて、ポスト部35が形成される。

【0048】

次に、電極 34 の上面にハンダ層 40 を形成する。ハンダ層 40 の形成は、ハンダメッキ法やスクリーン印刷等の印刷法などによって行う。なお、ハンダメッキの電極として、下地膜 24 を構成するシード層を用いることができる。また、メッキ装置として、カップ式メッキ装置を用いることができる。一方、ハンダ層 40 の代わりに、SnAg などからなる硬蠟材層を形成してもよい。硬蠟材層も、メッキ法や印刷法などによって形成することができる。以上により、図 4 (a) に示す状態となる。

【0049】

次に、図 4 (b) に示すように、剥離液等を用いてレジスト 32 を剥離（除去）する。なお、剥離液にはオゾン水等を用いることができる。続けて、基板 10 の上方に露出している下地膜 24 を除去する。その具体的な手順は、まず基板 10 の上方の全面にレジスト等を塗布し、電極 34 のポスト部 35 の形状をパターンニングする。次に、パターンニングされたレジストをマスクとして、下地膜 24 をドライエッチングする。なお、ハンダ層 40 の代わりに硬蠟材層を形成した場合には、その硬蠟材層をマスクとして下地膜 24 をエッチングすることができる。この場合、フォトリソグラフィが不要となるので、製造工程を簡略化することができる。

【0050】

次に、図 5 (a) に示すように、基板 10 を上下反転させた上で、基板 10 の下方に補強部材 50 を装着する。補強部材 50 として、保護フィルム等を採用してもよいが、ガラス等の硬質材料を採用するのが好ましい。これにより、基板 10 の裏面 10b を加工する際に、基板 10 に割れ等が発生するのを防止することができる。補強部材 50 は、接着剤 52 等を介して基板 10 に装着する。接着剤 52 として、熱硬化性接着剤や光硬化性接着剤等の硬化性接着剤を使用するのが望ましい。これにより、基板 10 の能動面 10a における凹凸を吸収しつつ、補強部材 50 を強固に装着することができる。さらに、接着剤 52 として紫外線硬化性接着剤等の光硬化性接着剤を使用した場合には、補強部材 50 としてガラス

等の透光性材料を採用するのが好ましい。この場合、補強部材 50 の外側から光を照射することによって、簡単に接着剤 52 を硬化させることができる。

【0051】

次に、図 5 (b) に示すように、基板 10 の裏面 10 b の全面をエッチングして、絶縁膜 22 の先端部を露出させ、基板 10 の裏面 10 b より外側に電極 34 の先端部を配置する。このエッチングには、ウエットエッチングまたはドライエッチングのいずれを用いてもよい。なお、基板 10 の裏面 10 b を粗研磨した後に、エッチングを行って絶縁膜 22 の先端部を露出させるようにすれば、製造時間を短縮することができる。また、基板 10 のエッチングと同時に、絶縁膜 22 および下地膜 24 をエッチングして除去してもよい。

【0052】

次に、図 6 (a) に示すように、基板 10 の裏面 10 b の全面に、第 2 の絶縁層である絶縁膜 26 を形成する。絶縁膜 26 として SiO_2 や SiN などの被膜を形成する場合には、CVD 法によって形成するのが好ましい。また、絶縁膜 26 として PI などの被膜を形成する場合には、液状の被膜材料をスピンコート法によって塗布し、乾燥・焼成して形成するのが好ましい。また、SOG を用いて絶縁膜 26 を形成してもよい。SOG (Spin On Glass) は、塗布した後に 400℃程度の温度でベーキングすることにより SiO_2 となる液体であり、平坦化を目的として LSI の層間絶縁膜に使用されている。具体的には、シロキサン結合を基本構造とするポリマーであって、アルコールなどが溶媒として使用されている。この SOG を塗布する場合にも、スピンコート法を用いる。

【0053】

なお、基板 10 の裏面 10 b の全面に絶縁膜 26 を形成する代わりに、基板 10 の裏面 10 b における電極 34 の周辺のみ、選択的に絶縁膜 26 を形成してもよい。この場合には、インクジェット装置等の液滴吐出装置を用いて絶縁膜の材料液を電極 34 の周辺のみに吐出し、乾燥・焼成して絶縁膜 26 を形成すればよい。

【0054】

次に、図 6 (b) に示すように、電極 34 の先端部を露出させる。具体的には

、電極 34 の先端部を覆っている絶縁膜 26、絶縁膜 22 および下地膜 24 を除去して、電極 34 の先端部を露出させる。絶縁膜 26、絶縁膜 22 および下地膜 24 の除去は、CMP (Chemical and Mechanical Polishing) 研磨等によって行う。CMP は、基板に対する研磨布による機械的研磨と、そこに供給される研磨液による化学作用との兼ね合いによって、基板の研磨を行うものである。なお、絶縁膜 26、絶縁膜 22 および下地膜 24 を研磨により除去する際に、電極 34 の先端部を研磨してもよい。この場合、下地膜 24 が完全に除去されるので、半導体チップの積層時における電極間の導通不良を防止することができる。

【0055】

その後、溶剤等により接着剤 52 を溶解して、基板 10 から補強部材 50 を取り外す。次に、基板 10 の裏面 10b にダイシングテープ (図示省略) を貼り付けた上で、基板 10 をダイシングすることにより、半導体チップの個片に分離する。なお、CO₂ レーザや YAG レーザを照射して基板 10 を切断してもよい。以上により、図 1 に示す状態となり、本実施形態に係る半導体チップ 2 が完成する。

【0056】

[積層構造]

以上のように形成した半導体チップ 2 を積層して、3 次元実装された半導体装置を形成する。図 7 は、本実施形態に係る半導体チップを積層した状態の側面断面図であり、図 13 の A 部に相当する部分における拡大図である。各半導体チップ 2a、2b は、下層の半導体チップ 2b における電極 34 のポスト部の上面に、上層の半導体チップ 2a における電極 34 のプラグ部の下端面が位置するように配置する。そして、ハンダ層 40 を介することにより、各半導体チップ 2a、2b における電極 34 を相互に接合する。具体的には、リフローによりハンダ層 40 を溶解させつつ、各半導体チップ 2a、2b を相互に加圧する。これにより、ハンダ層 40 と電極 34 との接合部にハンダ合金が形成されて、両者が機械的および電氣的に接合される。以上により、各半導体チップ 2a、2b が配線接続される。なお、必要に応じて、積層した各半導体チップ相互の隙間にアンダーフィルを充填する。

【0057】

ところで、溶解したハンダ層40は、上層の半導体チップ2aにおける電極のプラグ部36の外周に沿って上方に変形するので、上層の半導体チップ2aの裏面10bに当接する場合がある。なお、ハンダ層40には信号線が接続され、半導体チップ2aの裏面10bにはグランドが接続されているので、両者の短絡を防止する必要がある。この点、本実施形態では、半導体チップ2aの裏面10bに絶縁膜26が形成されているので、半導体チップを積層する際に、ハンダ層40と半導体チップ2aの裏面10bとの短絡を防止することが可能となる。したがって、信号線とグランドとの短絡を防止しつつ、3次元実装を行うことができる。

【0058】

近年では、半導体装置に対する小型化および軽量化の要求により、半導体基板の裏面を大幅にエッチングして、半導体チップを非常に薄く形成する。そのため、裏面エッチング後の半導体基板を加工すると、半導体基板が割れるなど破損する場合がある。そこで、裏面エッチング後の半導体基板には、必要最小限度の加工を施すことしかできなかった。したがって、半導体基板の裏面に絶縁膜を形成するという発想に至ることはなかった。しかし最近になって、半導体基板の裏面をエッチングする前に、半導体基板の能動面に補強部材を装着することにより、裏面エッチング後の半導体基板を自由に加工する技術が開発された。この補強部材の装着技術は、半導体基板の能動面における凹凸を吸収しつつ補強部材を装着し、また半導体基板の加工後には自由に補強部材を取り外すことができるというものである。これにより、初めて半導体基板の裏面に絶縁膜を形成するという本発明を想到するに至ったのである。

【0059】

〔再配置配線〕

以上のように積層形成された半導体装置を回路基板に実装するため、再配線を行うのが望ましい。まず、再配線について簡単に説明する。図8は、半導体チップの再配線の説明図である。図8(a)に示す半導体チップ61の表面には、その対辺に沿って複数の電極62が形成されているので、隣接する電極相互のピッ

チが狭くなっている。このような半導体チップ 61 を回路基板に実装すると、隣接する電極相互が短絡するおそれがある。そこで、電極相互のピッチを広げるため、半導体チップ 61 の対辺に沿って形成された複数の電極 62 を中央部に引き出す再配線が行われている。

【0060】

図 8 (b) は、再配線を行った半導体チップの平面図である。半導体チップ 61 の表面中央部には、円形状の複数の電極パッド 63 がマトリクス上に配列形成されている。各電極パッド 63 は、再配線 64 により 1 個または複数の電極 62 に接続されている。これにより、狭ピッチの電極 62 が中央部に引き出されて、広ピッチ化されている。

【0061】

図 9 は、図 8 (b) の A-A 線における側面断面図である。上記のように積層形成された半導体装置を上下反転して、最下層となる半導体チップ 61 の底面中央部には、溶剤レジスト 65 が形成されている。そして、電極 62 のポスト部から溶剤レジスト 65 の表面にかけて、再配線 64 が形成されている。再配線 64 の溶剤レジスト 65 側の端部には電極パッド 63 が形成され、その電極パッドの表面にバンプ 78 が形成されている。バンプ 78 は、たとえばハンダバンプであり、印刷法等によって形成する。なお、半導体チップ 61 の底面全体には、補強用の樹脂 66 等が成型されている。

【0062】

[回路基板]

図 10 は、回路基板の斜視図である。図 10 では、半導体チップを積層して形成した半導体装置 1 が、回路基板 1000 に実装されている。具体的には、半導体装置 1 における最下層の半導体チップに形成されたバンプが、回路基板 1000 の表面に形成された電極パッドに対して、リフローや FCB (Flip Chip Bonding) 等を行うことにより実装されている。なお、回路基板との間に異方導電性フィルム等を挟み込んで、半導体装置 1 を実装してもよい。

【0063】

[第 2 実施形態]

次に、本発明に係る半導体装置の第2実施形態である半導体チップにつき、図11を用いて説明する。図11は、本実施形態に係る半導体チップの電極部分の側面断面図である。第2実施形態に係る半導体チップ3が、第1実施形態と異なる点は、半導体チップ3の裏側における電極34の先端部が、第2の絶縁層である絶縁膜26の表面と、ほぼ同一面上に形成されている点のみである。その他の点については、第1実施形態と同様の構成であるから、詳細な説明を省略する。

【0064】

第2実施形態に係る半導体チップ3では、電極34のプラグ部36の下端面が、半導体チップ3の裏面10bに形成された絶縁膜26の表面と、ほぼ同一面上に形成されている。第2実施形態に係る半導体チップ3を製造するには、図2(c)において孔部H3を穿孔する際に、第1実施形態よりも孔部H3を浅く形成する。その結果、図5(b)において基板10の裏面10bをエッチングする際に、第1実施形態よりも絶縁膜22の突出量が小さくなる。また、図6(a)において基板10の裏面10bに絶縁膜26を形成する際に、第1実施形態よりも絶縁膜26を厚く形成する。そして、図6(b)において研磨により電極34の先端部を露出させる際に、絶縁膜26の表面を研磨しつつ電極34の先端を露出させるようにする。これにより、図11に示すように、電極34のプラグ部36の下端面が、半導体チップ3の裏面10bに形成された絶縁膜26の表面と、ほぼ同一平面上に露出する。

【0065】

第2実施形態に係る半導体チップにおいても、第1実施形態と同様に、半導体チップ3の裏面10bに絶縁膜26が形成されている。したがって、図7に示すように、各半導体チップを積層する際に、ハンダ層40と上層の半導体チップの裏面10bとの短絡を防止することができる。したがって、信号線とグランドとの短絡を防止しつつ、3次元実装を行うことができる。

【0066】

ところで、第1実施形態では、電極34のプラグ部36の下端が、絶縁膜26の表面から突出形成されていた。この半導体チップの積層時に半導体チップ相互を加圧すると、上層の半導体チップのプラグ部のみが下層の半導体チップに当接

するので、下層の半導体チップに応力集中が発生する場合がある。これにより、下層の半導体チップが割れるなど破損するおそれがある。これに対して、第2実施形態では、電極34のプラグ部36の下端が、絶縁膜26の表面とほぼ同一面上に形成されている。これにより、半導体チップの積層時に半導体チップ相互を加圧しても、下層の半導体チップに応力集中が発生することがなくなり、下層の半導体チップの破損を防止しつつ3次元実装することができる。なお、第1実施形態のようにプラグ部36の下端を突出形成しなくても、信号線とグランドとの短絡を防止できることは上述した通りである。

【0067】

[電子機器]

次に、上述した半導体装置を備えた電子機器の例について、図12を用いて説明する。図12は、携帯電話の斜視図である。上述した半導体装置は、携帯電話300の筐体内部に配置されている。

【0068】

なお、上述した半導体装置は、携帯電話以外にも種々の電子機器に適用することができる。例えば、液晶プロジェクタ、マルチメディア対応のパーソナルコンピュータ（PC）およびエンジニアリング・ワークステーション（EWS）、ページャ、ワードプロセッサ、テレビ、ビューファインダ型またはモニタ直視型のビデオテープレコーダ、電子手帳、電子卓上計算機、カーナビゲーション装置、POS端末、タッチパネルを備えた装置などの電子機器に適用することが可能である。

【0069】

なお、上述した実施形態の「半導体チップ」を「電子素子」に置き換えて、電子部品を製造することもできる。このような電子素子を使用して製造される電子部品として、例えば、光素子、抵抗器、コンデンサ、コイル、発振器、フィルタ、温度センサ、サーミスタ、バリスタ、ボリュームおよびヒューズなどを挙げることができる。

【0070】

なお、本発明の技術範囲は、上述した実施形態に限定されるものではなく、本

発明の趣旨を逸脱しない範囲において、上述した実施形態に種々の変更を加えたものを含む。すなわち、実施形態で挙げた具体的な材料や層構成などはほんの一例に過ぎず、適宜変更が可能である。

【図面の簡単な説明】

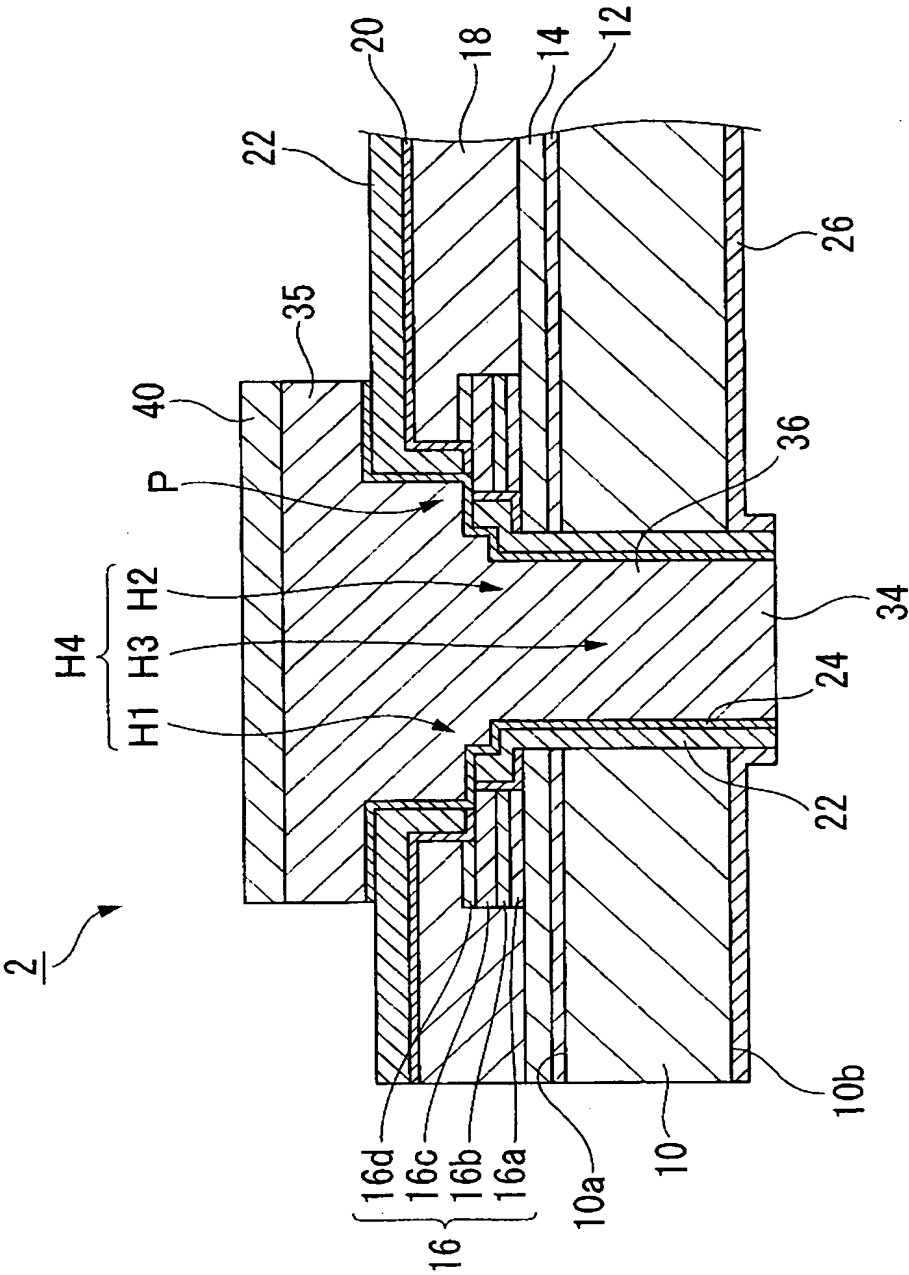
- 【図 1】 第 1 実施形態に係る半導体チップの電極部分の側面断面図である。
- 【図 2】 第 1 実施形態に係る半導体チップの製造方法の説明図である。
- 【図 3】 第 1 実施形態に係る半導体チップの製造方法の説明図である。
- 【図 4】 第 1 実施形態に係る半導体チップの製造方法の説明図である。
- 【図 5】 第 1 実施形態に係る半導体チップの製造方法の説明図である。
- 【図 6】 第 1 実施形態に係る半導体チップの製造方法の説明図である。
- 【図 7】 第 1 実施形態に係る半導体装置の積層状態の説明図である。
- 【図 8】 再配線の説明図である。
- 【図 9】 再配線の説明図である。
- 【図 10】 回路基板の説明図である。
- 【図 11】 第 2 実施形態に係る半導体チップの電極部分の側面断面図である。
- 【図 12】 電子機器の一例である携帯電話の斜視図である。
- 【図 13】 従来技術に係る半導体装置の全体の側面断面図である。
- 【図 14】 従来技術に係る半導体装置の積層状態の説明図である。

【符号の説明】

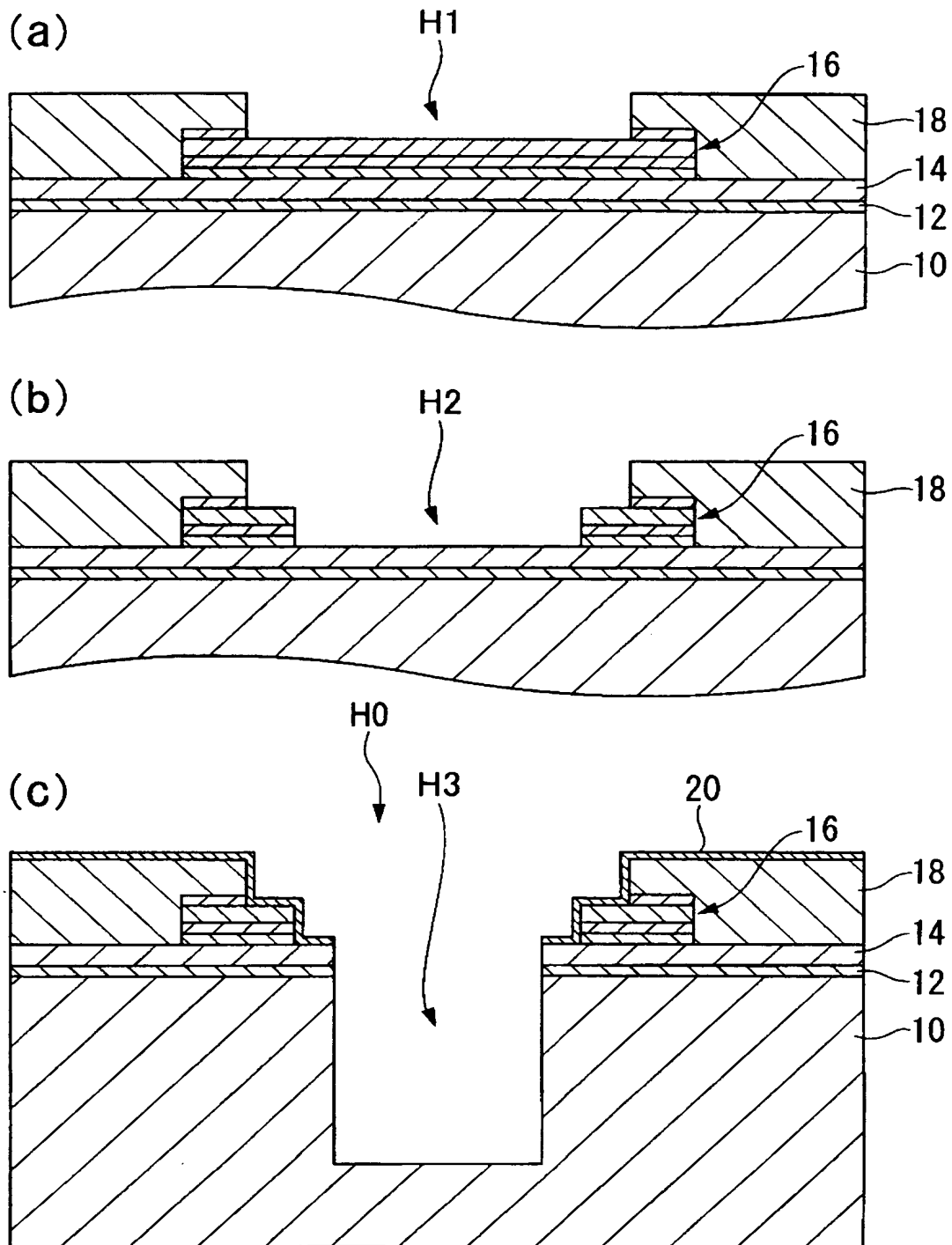
2 半導体チップ 22 第 1 の絶縁層 24 下地膜 26 第 2 の絶縁層 34 電
極 40 ハンダ層

【書類名】 図面

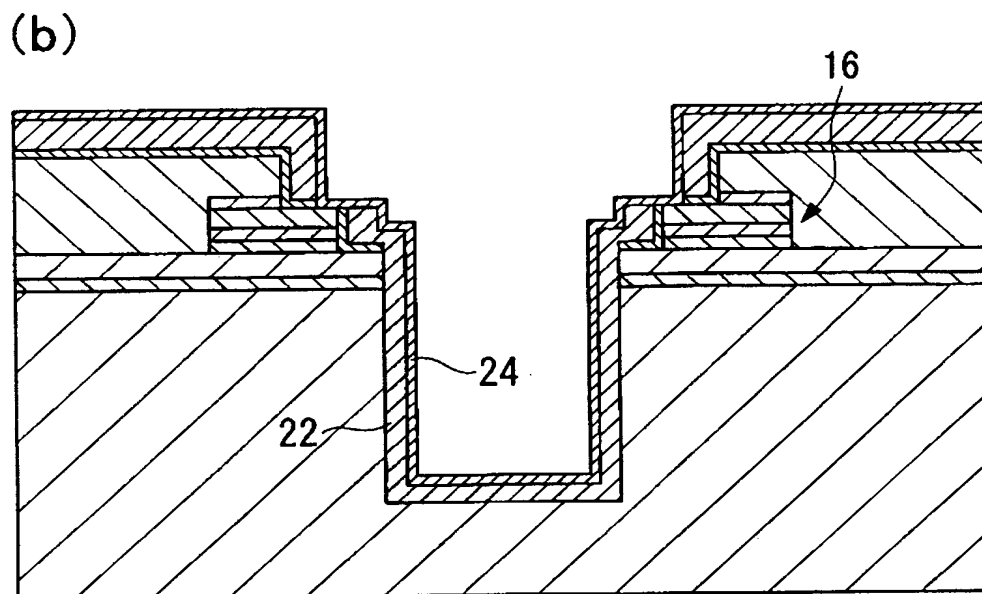
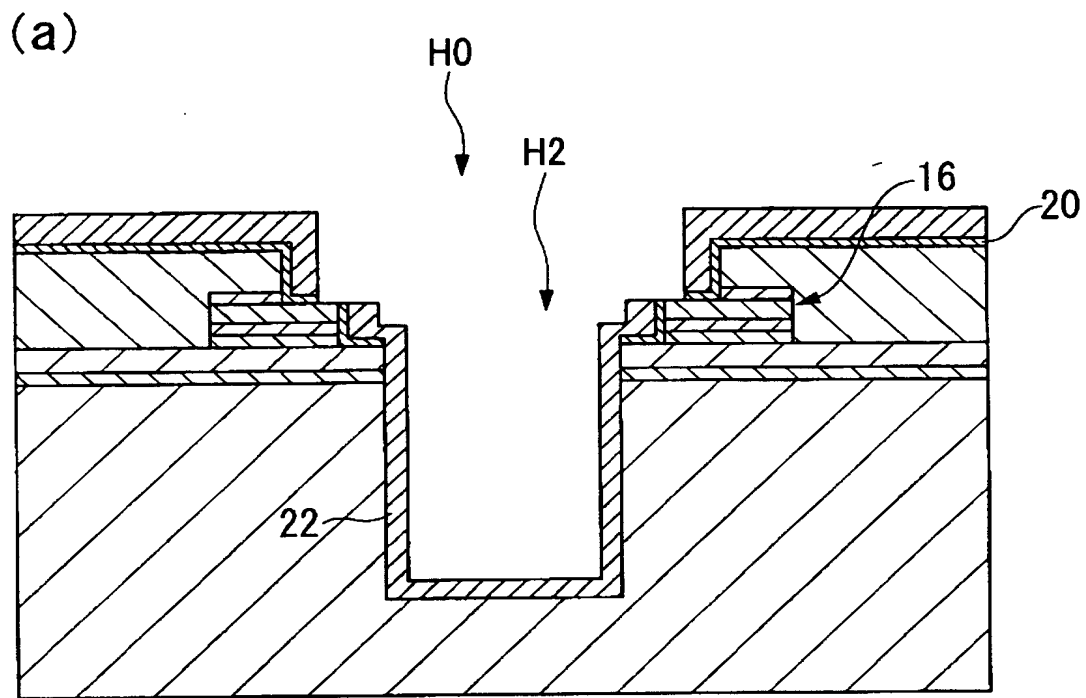
【図 1】



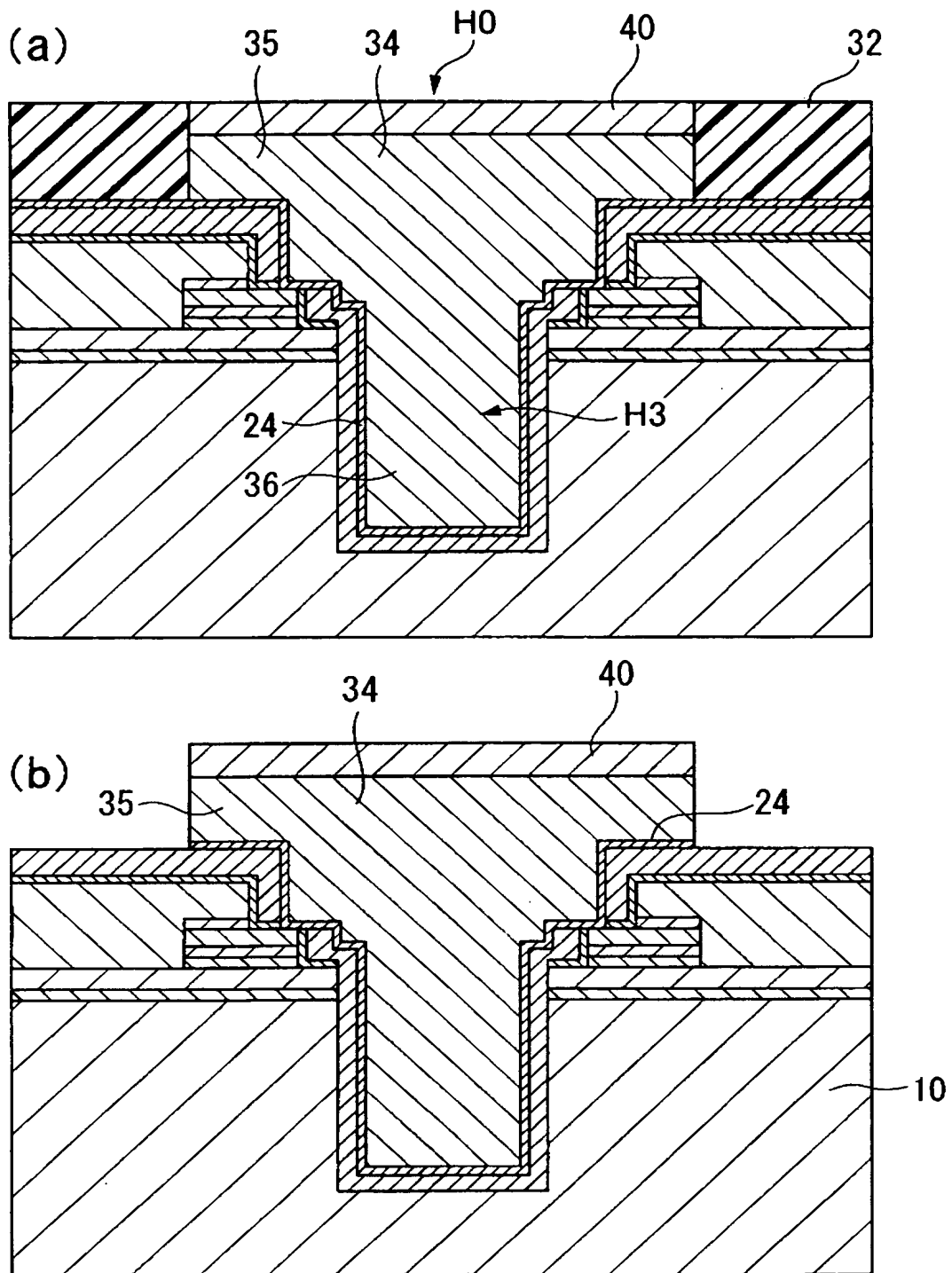
【図 2】



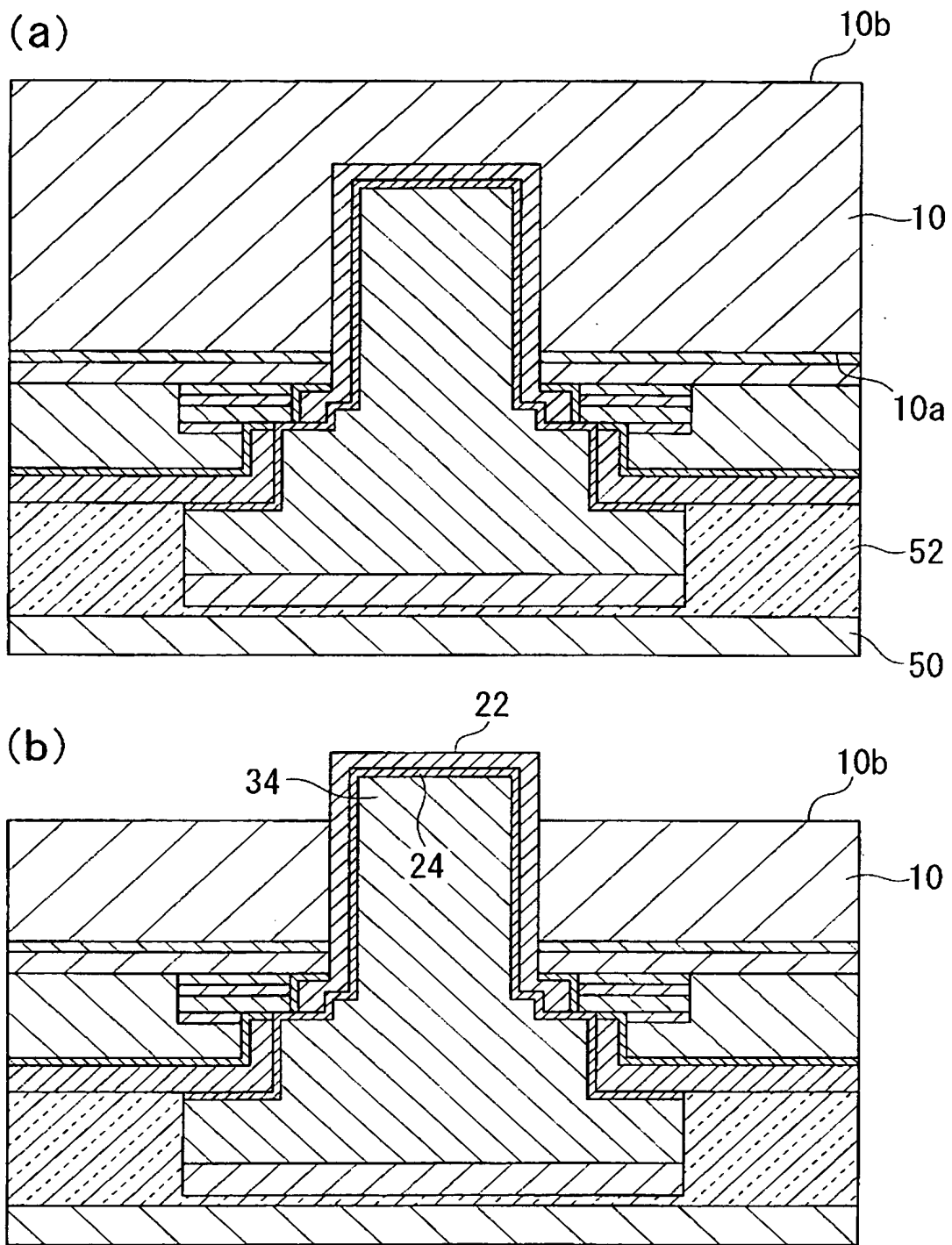
【図 3】



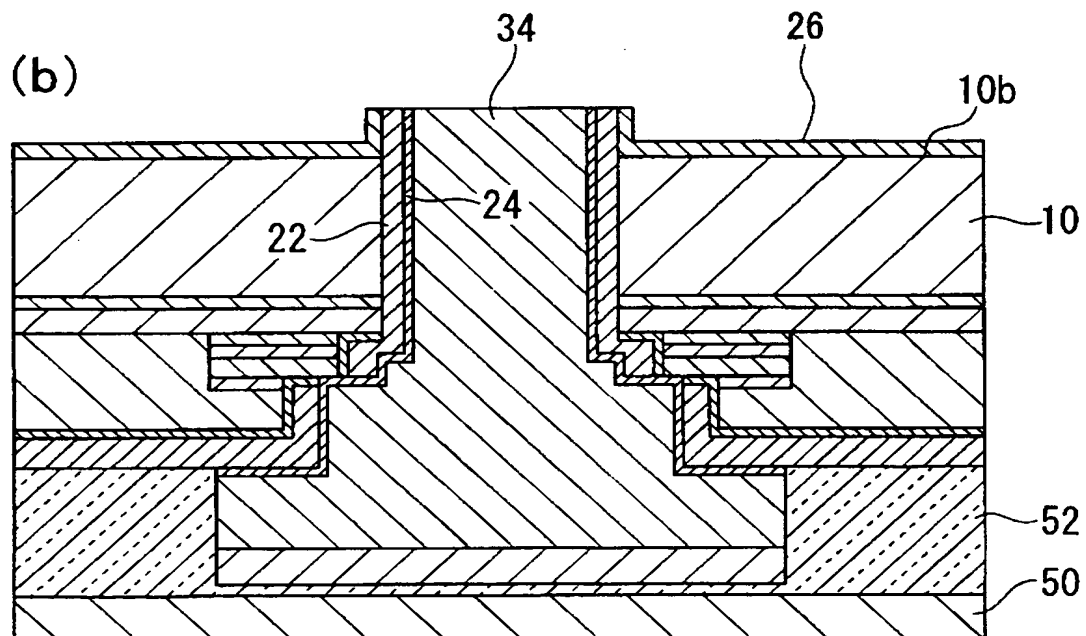
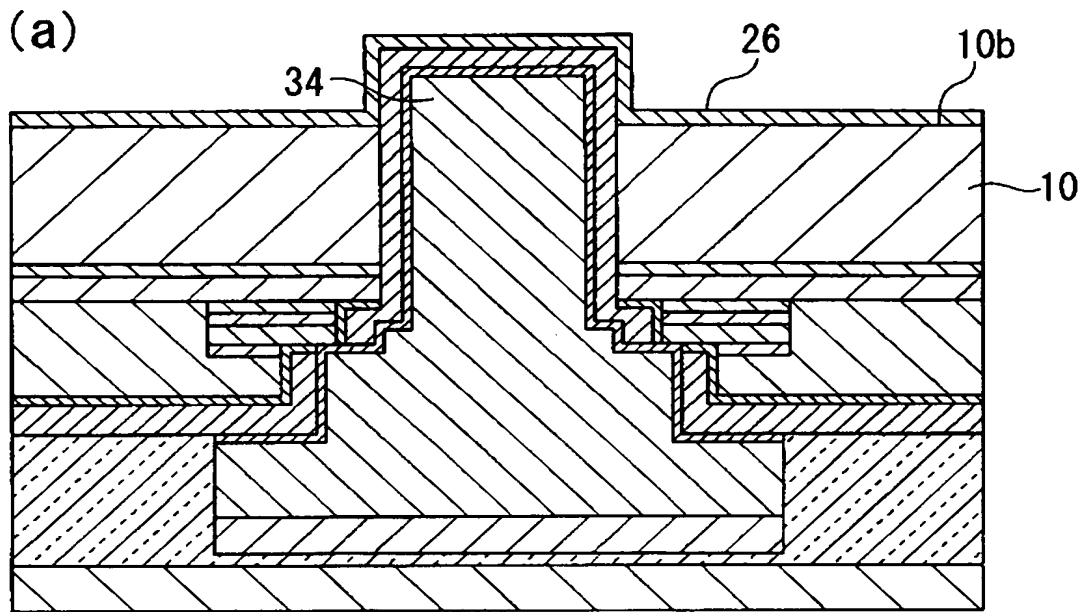
【図 4】



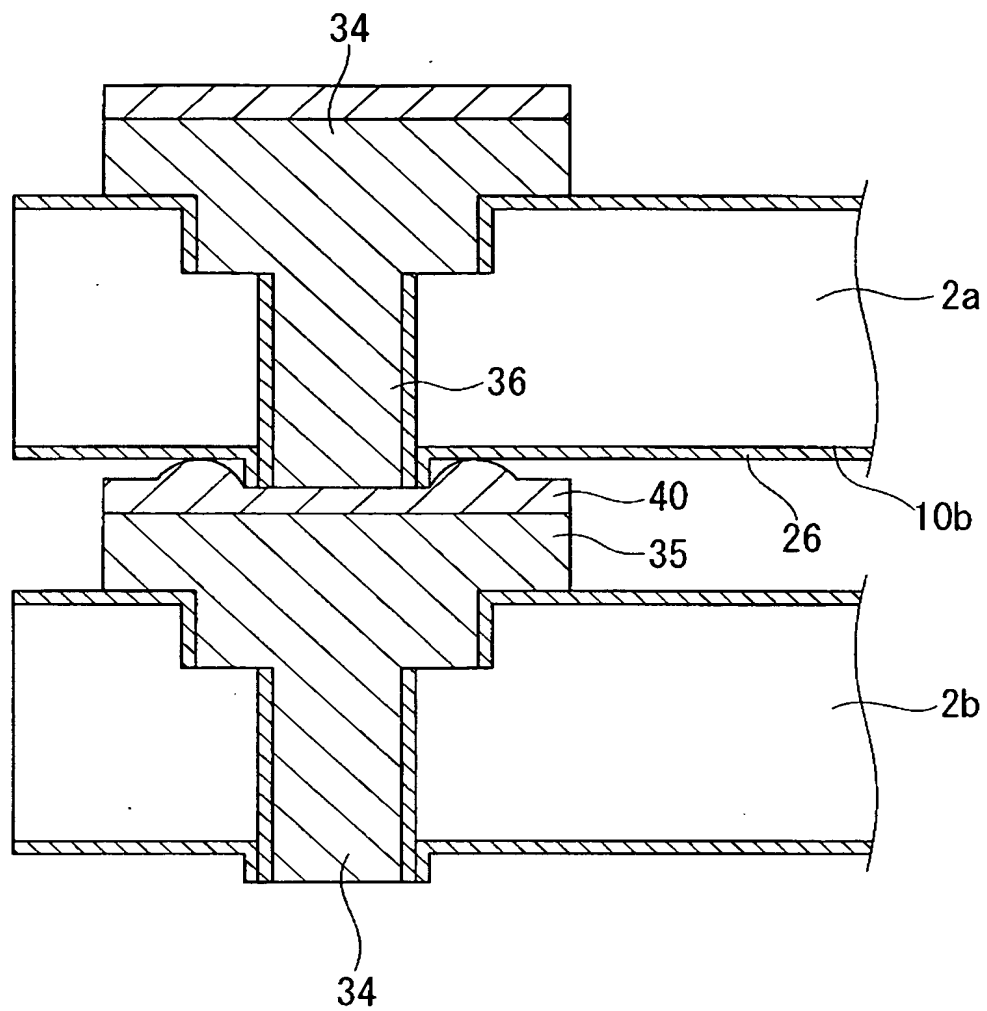
【図 5】



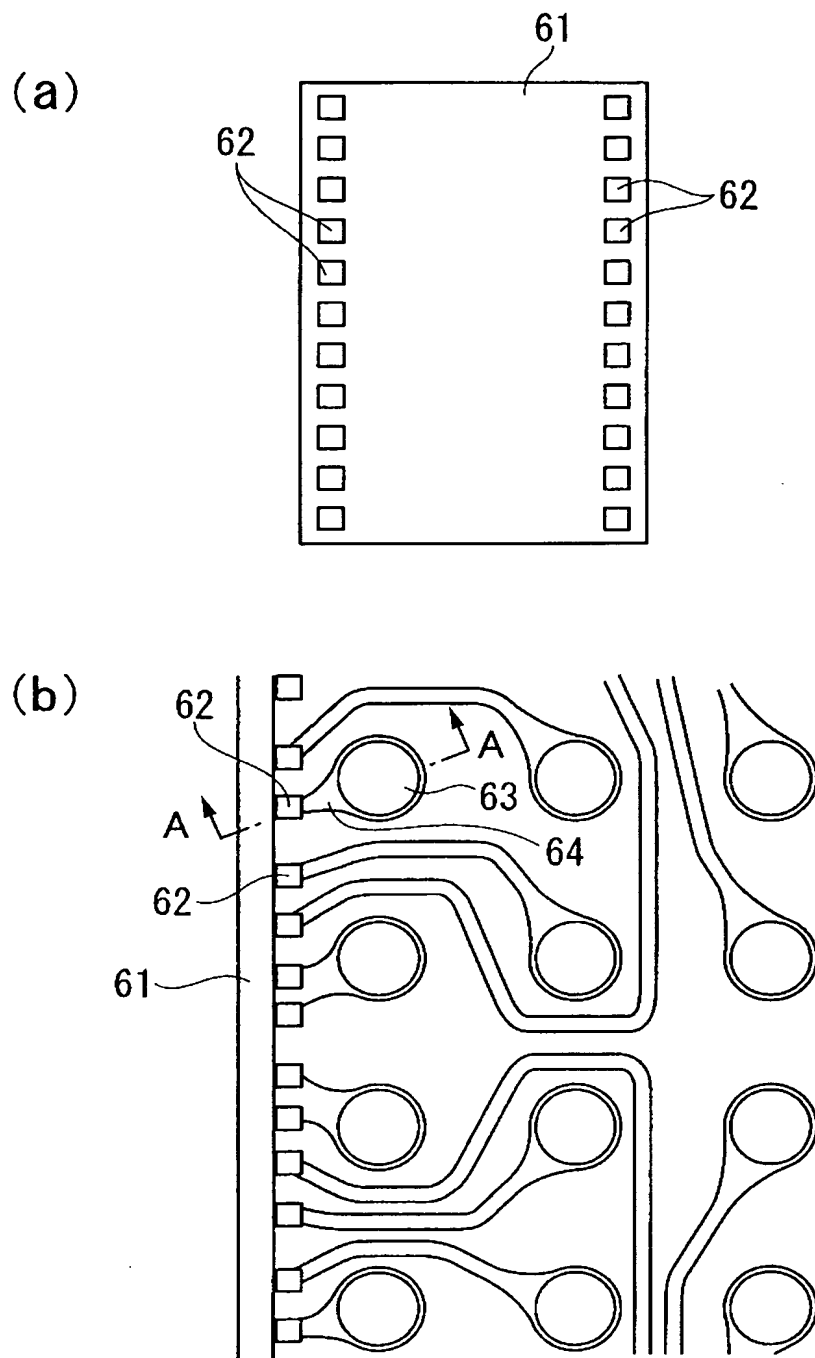
【図 6】



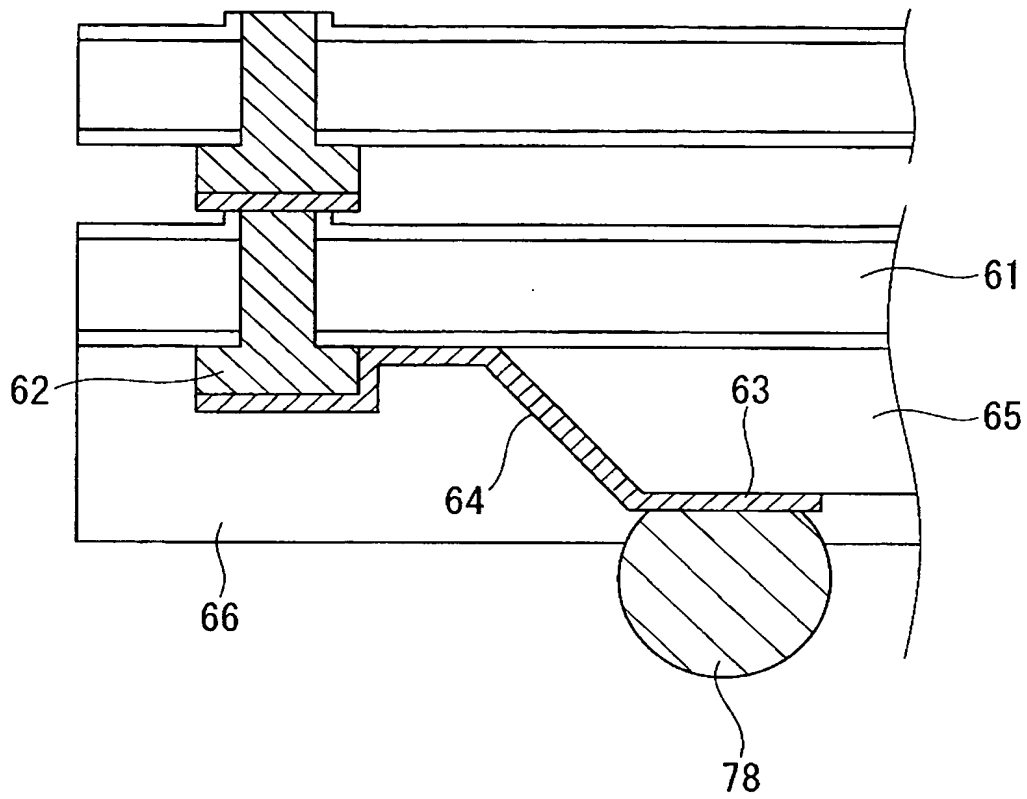
【図 7】



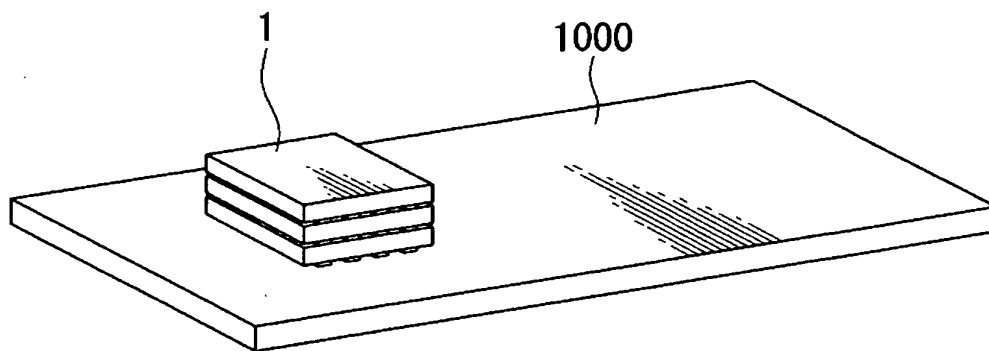
【図 8】



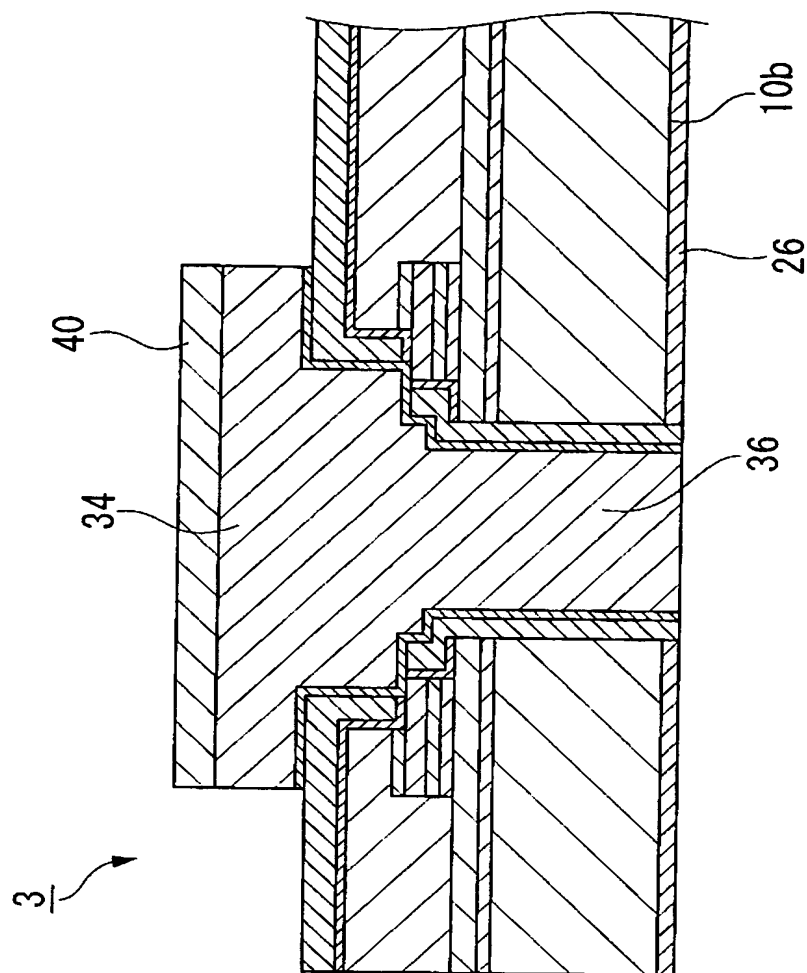
【図 9】



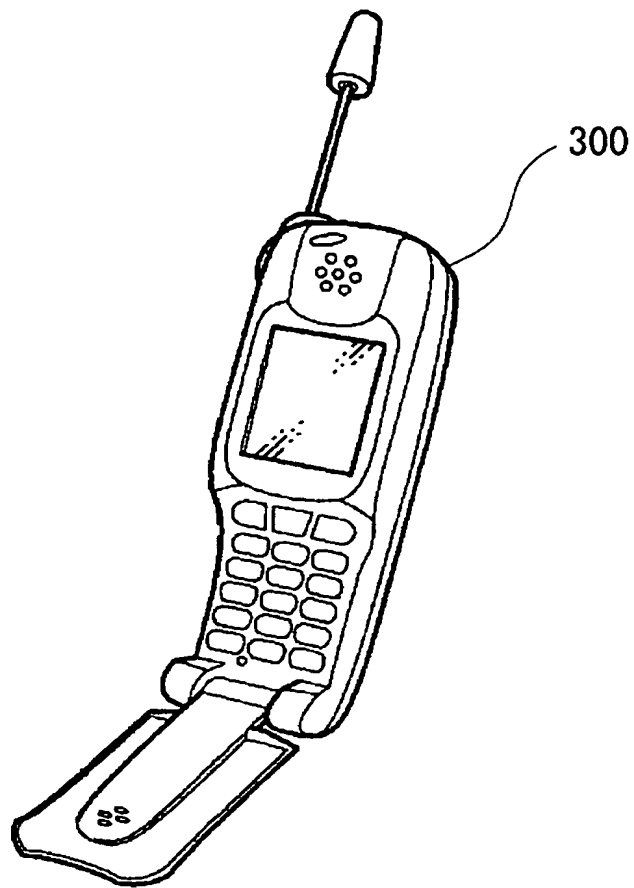
【図 10】



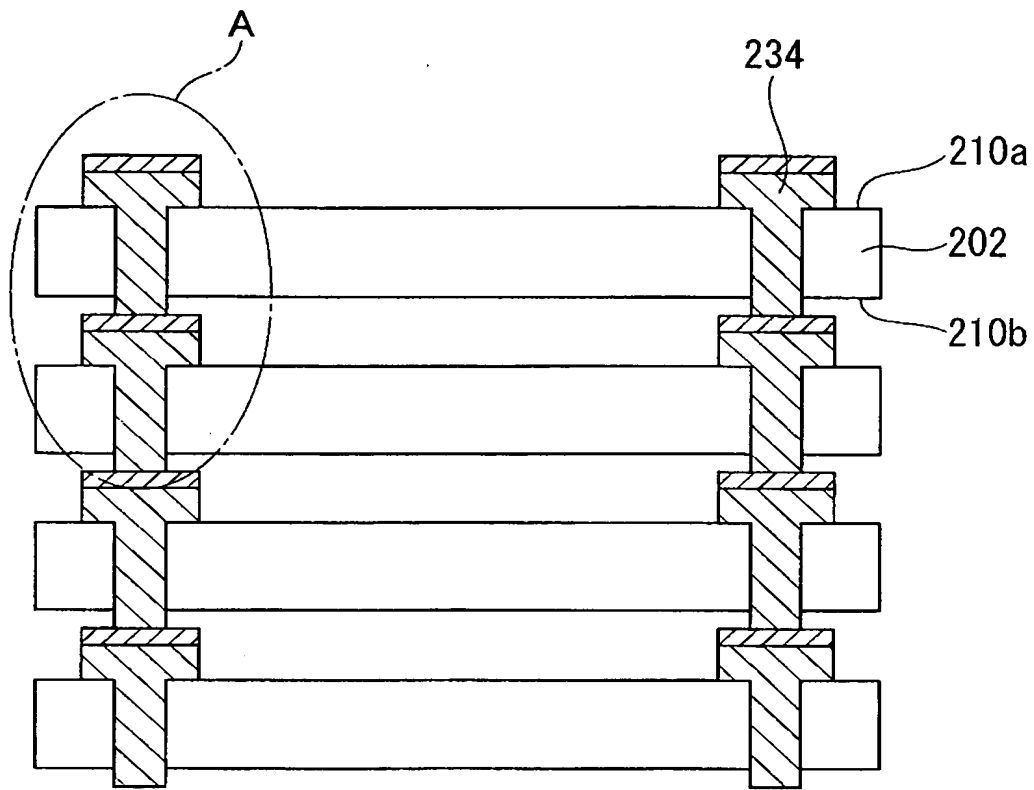
【図 11】



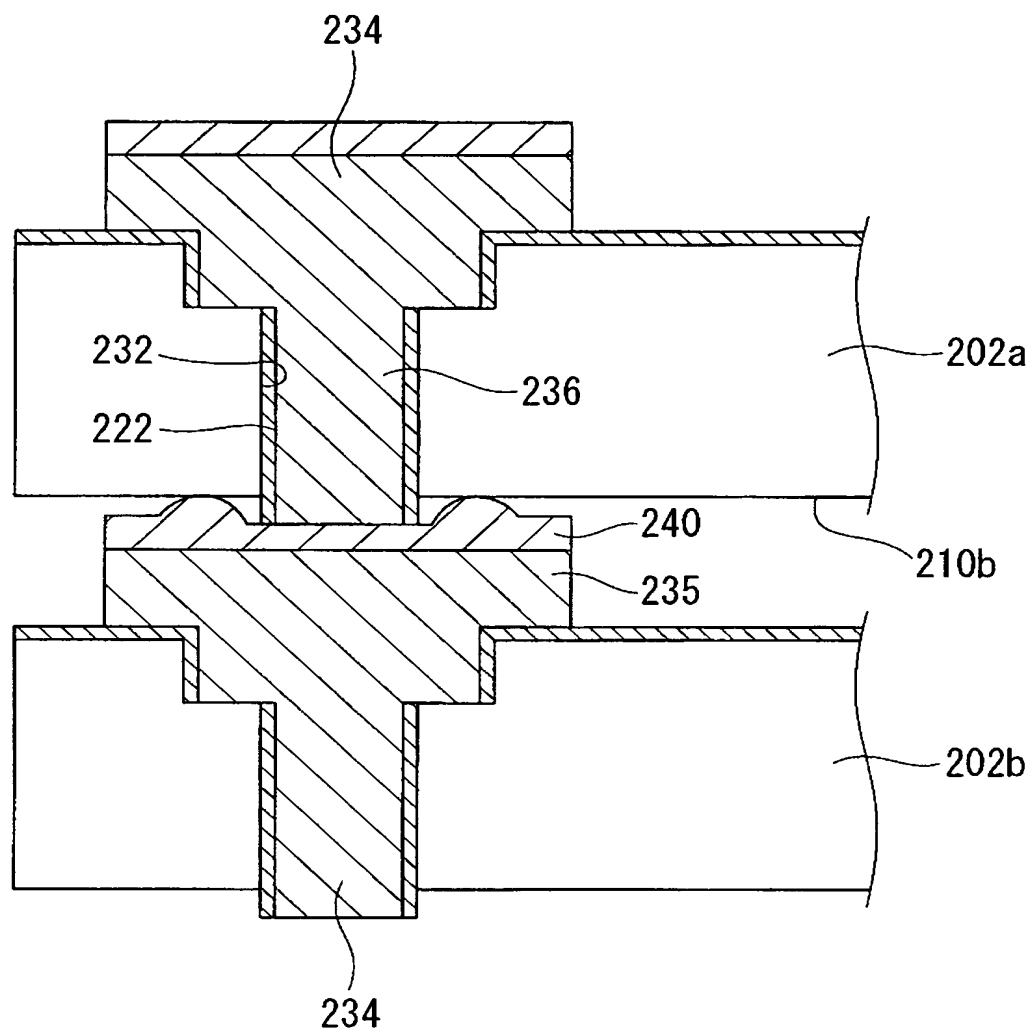
【図 12】



【図 13】



【図 14】



【書類名】 要約書

【要約】

【課題】 積層時に信号線とグランドとの短絡を防止することが可能な、半導体装置を提供する。

【解決手段】 集積回路が形成された半導体基板 10 と、この半導体基板 10 における能動面 10 a から裏面 10 b にかけて形成された貫通孔 H 4 の内部に、第 1 の絶縁層 22 を介して形成された電極 34 と、半導体基板 10 の裏面 10 b に形成された第 2 の絶縁層 26 とを有する構成とした。そして、複数の半導体チップ 2 の電極 34 を、相互にハンダ層 40 を介して接続することにより、3次元実装された半導体装置を構成した。

【選択図】 図 1

認定・付加情報

| | |
|---------|------------------|
| 特許出願の番号 | 特願 2003-072337 |
| 受付番号 | 50300433993 |
| 書類名 | 特許願 |
| 担当官 | 笹川 友子 9482 |
| 作成日 | 平成 15 年 3 月 24 日 |

< 認定情報・付加情報 >

【特許出願人】

【識別番号】 000002369

【住所又は居所】 東京都新宿区西新宿 2 丁目 4 番 1 号

【氏名又は名称】 セイコーエプソン株式会社

【代理人】 申請人

【識別番号】 100089037

【住所又は居所】 東京都新宿区高田馬場 3 丁目 2 3 番 3 号 OR ビ
ル 志賀国際特許事務所

【氏名又は名称】 渡邊 隆

【代理人】

【識別番号】 100064908

【住所又は居所】 東京都新宿区高田馬場 3 丁目 2 3 番 3 号 OR ビ
ル 志賀国際特許事務所

【氏名又は名称】 志賀 正武

【選任した代理人】

【識別番号】 100110364

【住所又は居所】 東京都新宿区高田馬場 3 丁目 2 3 番 3 号 OR ビ
ル 志賀国際特許事務所

【氏名又は名称】 実広 信哉

次頁無

特願 2 0 0 3 - 0 7 2 3 3 7

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 2 3 6 9]

1. 変更年月日
[変更理由]

1 9 9 0 年 8 月 2 0 日
新規登録

住 所
氏 名

東京都新宿区西新宿 2 丁目 4 番 1 号
セイコーエプソン株式会社